

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-23318

(43) 公開日 平成10年(1998) 1月23日

(51) Int.Cl.⁶

H 0 4 N 5/232

識別記号

庁内整理番号

F I

H 0 4 N 5/232

技術表示箇所

Z

審査請求 未請求 請求項の数 3 O L (全 9 頁)

(21) 出願番号 特願平8-178903

(22) 出願日 平成8年(1996) 7月9日

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 小野 博幸

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 浅田 良次

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

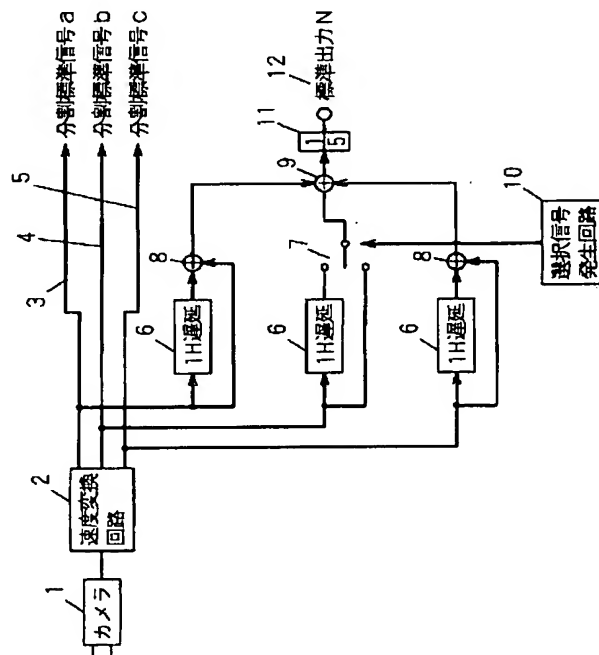
(74) 代理人 弁理士 滝本 智之 (外1名)

(54) 【発明の名称】 高速度カメラシステム

(57) 【要約】

【課題】 従来の高速度カメラシステムが持つ、分割された標準出力信号をモニターでみた時に動きが飛び飛びになり、S/Nが悪いという問題点を解決し、動きの滑らかなS/Nの良い標準速度信号を得る高速度カメラシステムを提供することを目的とする。

【解決手段】 標準のM倍の走査速度で走査を行うM倍速デジタルカメラ1の出力を、速度変換回路2により、M個の分割標準信号にして出力する。M個の分割標準信号のうち、標準速度同期信号と異なるフィールドに相当する信号について、1水平期間離れた信号を加算することで、標準速度同期信号とフィールドを合わせた後、他の標準速度同期信号と同一フィールドの信号と位相を合わせて加算する。



【特許請求の範囲】

【請求項1】 外部からの標準のテレビジョン同期信号によりゲンロックされており、標準のテレビジョンのM倍（Mは任意の正の整数）の速度で走査を行うM倍速デジタルテレビジョンカメラと、

前記M倍速デジタルテレビジョンカメラの出力信号を、M倍の走査速度でのフィールド単位毎に分割し、各々を標準走査速度に時間伸長し、M個の分割標準信号を同期させて出力する速度変換回路と、

前記M個の分割標準信号を各々標準の1水平走査時間遅延させるM個の遅延手段と、

前記M個の分割標準信号の内、前記標準のテレビジョン同期信号と奇数フィールドまたは偶数フィールドの区別において同一フィールドである複数の分割標準信号を、個々に前記遅延手段への入力信号と前記遅延手段の出力信号とを切り換えて出力する選択回路と、

前記M個の分割標準信号の内、前記標準のテレビジョン同期信号と奇数フィールドまたは偶数フィールドの区別において異なるフィールドである複数の分割標準信号を、個々に前記遅延手段への入力信号と前記遅延手段の出力信号とを加算する第1の加算器と、

前記複数の選択回路への選択信号を発生する選択信号発生回路と、

前記複数の選択回路の出力と前記複数の第1の加算器の出力とを加算する第2の加算器とを備えた高速度カメラシステム。

【請求項2】 M倍速デジタルテレビジョンカメラの出力の奇数フィールド、偶数フィールドの状態を、外部からの標準のテレビジョン同期信号のフィールドに対して反転することを特徴とする請求項1記載の高速度カメラシステム。

【請求項3】 複数の第1の加算器の出力と複数の選択回路の出力を各々任意の係数倍するM個の係数器を有することを特徴とする請求項1または2に記載の高速度カメラシステム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はテレビジョン放送に於けるスローモーション画像を撮影する為の高速度カメラシステムに関するものである。

【0002】

【従来の技術】近年、スポーツ中継等でスローモーション再生が頻繁に利用されるにあたり、より再生画像の動きのなめらかさが要求され、標準のテレビジョン走査速度より更に高速度で走査することにより、被写体の動き情報をより多く撮影できる高速度カメラシステムの使用も増加しつつある。

【0003】以下に、従来の高速度カメラシステムについて説明する。従来の高速度カメラシステムとしては特公平5-54315号公報に記載されたものが知られてい

る。図9はこの従来の高速度カメラシステムのブロック図を示すものである。図9において、1は標準の走査速度の3倍で走査を行うデジタルテレビジョンカメラ（以下3倍速カメラ）、2は速度変換回路、3は分割標準出力a、4は分割標準出力b、5は分割標準出力cである。図10は速度変換回路2のブロック図を示すものである。図10において、16は3倍速信号、17は書き込み／読みだし制御回路、18はフィールドメモリ（FM1～FM16）である。

【0004】以上のように構成された従来の高速度カメラシステムについて、以下その動作について説明する。

【0005】図11は従来の3倍速カメラシステムの速度変換回路の動作を示すタイミング図である。まず、3倍速カメラ1は外部からの標準速度の同期信号によりゲンロック動作が行われており、標準のテレビジョン走査速度の3倍の速度で走査を行う。3倍速カメラ1の出力信号は標準の3倍速であるので、図11に示す様に標準速度の1番目の奇数フィールド期間に、3倍速奇数フィールド1信号1o、3倍速偶数フィールド1信号1e、3倍速奇数フィールド2信号2oの3つの信号が連続して出力される。同様に標準速度の1番目の偶数フィールド期間には、3倍速偶数フィールド2信号2e、3倍速奇数フィールド3信号3o、3倍速偶数フィールド3信号3eが連続して出力される。3倍速カメラ1の出力は速度変換回路2に入力され、3つの信号に分割されると同時に標準速度信号に時間伸長される。3倍速信号を3分割し、標準速度に時間伸長するには、図10に示す6つのフィールドメモリ18を独立に書き込み／読みだし制御を行うことで実現できる。図11に示すように、標準速度奇数フィールド1期間に、1o信号をFM1に、1e信号をFM2に、2o信号をFM3に各々3倍速で書き込む。次に、標準速度偶数フィールド1期間に、FM1、FM2、FM3の3つのフィールドメモリは標準速度で読み出し動作を行う。それと同時に、2e信号をFM4に、3o信号をFM5に、3e信号をFM6に書き込む。次に標準速度奇数フィールド2期間で、FM4、FM5、FM6は標準速度で読みだし動作を行う。この時FM1、FM2、FM3のフィールドメモリは全データの読み出しを終えているので、新たに書き込み動作に入り、4o信号をFM1に、4e信号をFM2に、5o信号をFM3に3倍速で書き込む。以上の様な動作により、分割・時間伸長回路2出力として、図11に示す分割標準信号a、分割標準信号b、分割標準信号cを得る。

【0006】このように、従来の高速度カメラシステムは、高速度信号を複数の標準速度信号として取り扱うことができるようなされたものである。スローモーション出力を得るには、3つの分割標準信号a～cをメモリ等により、撮影時のフィールド順に並び直した上、1つの信号に変換することで、通常の3分の1のスローモーシ

ョン出力得る。更に並び直した信号をVTR等に記録し、VTRのスローモーション再生を行うことで更なるスローモーション信号を得ることができる。

【0007】

【発明が解決しようとする課題】しかしながら上記の従来の構成では、3つの分割標準信号を各々標準の信号としてモニターで見た場合、個々の信号においてはフィールドが不連続であり、特に動きのある映像では、動きが飛び飛びになり不自然になる。また、更に3倍速撮影時はCCDの電荷の蓄積時間が3分の1になるので、3つの分割信号を標準の信号として見た場合、元々のS/Nが標準速度撮影時に比べて悪いという問題点を有していた。

【0008】本発明は上記従来の問題点を解決するもので、動きの違和感を低減し、S/Nの良い標準信号をも出力する高速度カメラシステムを提供することを目的とする。

【0009】

【課題を解決するための手段】この目的を達成するために本発明の高速度カメラシステムは、速度変換回路のM個の出力を各々1水平走査時間遅延させるM個の遅延手段と、速度変換回路のM個の出力の内、標準のテレビジョン同期信号と奇数フィールド、偶数フィールドの区別において、同一フィールドである複数の信号の各々に遅延手段への入力信号と遅延手段出力信号とを切り換えて出力する選択回路と、標準のテレビジョン同期信号の奇数フィールド、偶数フィールドの区別において異なるフィールドである複数の信号の各々に遅延手段への入力信号と遅延手段出力信号とを加算する第1の加算器と、複数の選択回路の選択信号を発生する選択信号発生回路と、複数の選択回路出力と複数の第1の加算器出力を加算する第2の加算器とを備えることで、標準速度の同一フィールド期間内に出力されるM個のフィールド信号から、動きの違和感が少なく、S/Nを向上させた標準信号を得ることができる。

【0010】

【発明の実施の形態】本発明のは、外部からの標準のテレビジョン同期信号によりゲンロックされており、標準のテレビジョンのM倍（Mは任意の正の整数）の速度で走査を行うM倍速デジタルテレビジョンカメラと、M倍速デジタルテレビジョンカメラの出力信号を、M倍の走査速度でのフィールド単位毎に分割し、各々を標準走査速度に時間伸長し、M個の分割標準信号を同期させて出力する速度変換回路と、M個の分割標準信号を各々標準の1水平走査時間遅延させるM個の遅延手段と、M個の分割標準信号の内、標準のテレビジョン同期信号と奇数フィールドまたは偶数フィールドの区別において同一フィールドである複数の分割標準信号を、個々に遅延手段への入力信号と遅延手段の出力信号とを切り換えて出力する選択回路と、M個の分割標準信号の内、標準のテレ

ビジョン同期信号と奇数フィールドまたは偶数フィールドの区別において異なるフィールドである複数の分割標準信号を、個々に遅延手段への入力信号と遅延手段の出力信号とを加算する第1の加算器と、複数の選択回路への選択信号を発生する選択信号発生回路と、複数の選択回路の出力と複数の第1の加算器の出力とを加算する第2の加算器とを備えたものであり、標準の1フィールド期間内に出力されるMフィールド分の信号のフィールドを合わせて加算することで、動きの違和感が少なく、S/Nの良い標準信号を得る。

【0011】以下本発明の実施の形態について、図面を用いて説明する。

（実施の形態1）図1は本発明の実施の形態1による高速度カメラシステムの構成を示すブロック図である。図1において1は3倍速カメラ、2は速度変換回路、3～5は分割され、標準走査速度に時間伸長され同期化した分割標準信号（各々分割標準信号a～cとする）、6は1H遅延手段で、入力信号を標準走査速度での1水平走査期間だけ遅延させる。7は選択回路、8は第1の加算器、9は第2の加算器、10は選択信号発生回路、11は係数器、12は標準出力Nである。

【0012】図4は3倍速カメラ1のCCD部分での画素構成を基にした動作原理を示す図面である。図4中の入力a、入力b及び入力cは、各々分割標準信号a、分割標準信号b、分割標準信号cに対応する。まず、図4（a）は標準走査速度におけるフィールドが偶数フィールドの場合を示している。なお、図11でもわかるように、3倍速カメラ1の出力信号は、速度変換回路2に一旦書き込まれた後に読みだされる為、標準速度の1フィールド分遅延されて出力される。従って、標準速度奇数フィールド1で書き込まれた3倍速カメラ1の信号は、標準速度偶数フィールド1で読みだされるので、入力aは3倍速奇数フィールド1、入力bは3倍速偶数フィールド1、入力cは3倍速奇数フィールド2になる。入力a及び入力cはどちらも奇数フィールドであるので、標準走査速度のフィールドに合わない為、そのまま加算すると、インターレース関係が崩れ映像が垂直方向にずれた様になる。入力bについては、偶数フィールドであるので問題ない。従って、入力a、入力cについては、1水平走査期間離れた2つの信号を加算し、空間的に偶数フィールドの位置に合う信号にした上で、入力bと加算する。

【0013】図4において、0Hが示す信号を現在の入力信号とすると、1Hが示す信号は1水平期間前の信号、2Hが示す信号は2水平期間前の信号である。また、図4中、フォトダイオードの位置を記号□、フォトダイオードミックスによる実際の信号の位置を記号○で示す。図4（a）に示す様に、インターレースの位相関係を考慮すると、入力aを（0H+1H）した信号は、図中P1で示す偶数フィールド位相の信号となる。同様に

10

20

30

40

50

入力cについても(0H+1H)した信号はP2に示す偶数フィールド位相の信号となる。P1及びP2信号は入力bの0H信号に相当する。従って、入力bの0H信号と、P1信号と、P2信号とを加算しても垂直方向の映像のずれは起こらない。3つの信号を加算した後、ゲインを合わせる為、係数器11により5分の1することで、3フィールド分の信号を加算した標準走査速度信号(標準出力N)を得る。

【0014】同様に図4(b)は標準走査速度の奇数フィールドの場合である。入力a、入力cは偶数フィールドであるのに対し、入力bは奇数フィールドである。入力aを(0H+1H)した信号は、図中Q1で示す奇数フィールド位相の信号となり、入力cを(0H+1H)した信号は図中Q2で示す奇数フィールド信号となり、入力bの1H信号に相当する。従って、Q1信号と、入力bの1H信号と、Q2信号とを加算しても、垂直方向の映像のずれは起こらない。

【0015】このように、M倍速走査においてMが奇数の時は、標準走査速度の奇数フィールドと偶数フィールドでは、入力a、入力b、入力c各々に入力される信号のフィールドが反転しているので、正確に加算処理を行う為には、第2の加算器9に入力する選択回路7の出力を偶数フィールドでは0H、奇数フィールドでは1Hというように切り換える必要がある。選択信号発生回路10はこの切り換え動作を担う制御回路で、標準速度のフィールド単位で、選択回路7の出力を切り換える。このようにして3つの3倍速フィールド信号を、標準の走査速度でのフィールドに合わせて加算することで、従来に比べS/Nがよく、動きに違和感のない、標準速度信号を得る。

【0016】なお、高速度カメラの走査速度が、標準の偶数倍(M=偶数)の場合も、同様な考え方で、標準走査信号を得る、図7はM=2(偶数)の時の動作原理を示す図面である。図7(a)は、標準走査速度における偶数フィールド時の加算処理を示す。入力aは奇数フィールド信号であるので、そのまま加算を行うが、入力bは偶数フィールド信号であるので、(0H+1H)により図中Rで示す奇数フィールドデータを求め加算することで映像の垂直ずれは起こらない。図7(b)に示す奇数フィールド時も同様である。

【0017】以上の様に、本実施の形態によれば、分割されたM個の分割標準信号をフィールドを合わせて加算することで、動画部分の不自然さを解消し、S/N劣化の少ない標準走査速度映像信号を得ることができる。

【0018】(実施の形態2)図2は本発明の実施の形態2による高速度カメラシステムの構成を示すブロック図である。図2において、分割標準信号から標準走査速度信号を得る演算処理に関わる構成が、実施の形態1と相違する。

【0019】図5は本実施の形態における高速度カメラ

システムの動作を表すタイミング図である。以下にその動作について説明する。

【0020】実施の形態1の場合、標準信号を得るには3つの分割標準信号のうち2つについて(0H+1H)という演算を行う必要がある。この演算は垂直方向にローパスフィルターをかけたことに等しく、垂直方向の周波数特性が悪くなる。これを改善する為に、3倍速カメラ1の出力信号のフィールドを反転することで、3つの分割標準信号のうち1つだけに(0H+1H)という演算を行うだけで、3つの分割標準信号のフィールドを合わせることができる。

【0021】図5に示す様に、標準速度奇数フィールドにおいて出力されるカメラ出力を偶数フィールドから始めることにより、速度変換回路2の3つの分割標準信号出力は、標準速度偶数フィールドにおいては、3倍速偶数フィールド1e、3倍速奇数フィールド1o、3倍速偶数フィールド2eとなる。この時のライン加算回路の動作を図6(a)に示す。入力a及び入力cは偶数フィールド信号であるので、何等処理する必要はない。入力bについては奇数フィールド信号であるので、(0H+1H)という演算によりQという偶数フィールド信号を求め、入力a及び入力cの0H信号に加算する。同様に標準奇数フィールドについても、図6(b)に示すように、入力bのみを(0H+1H)して、奇数フィールド信号Pを求め、入力a及び入力cの1H信号と加算する。この場合、選択信号発生回路10は、入力a及び入力cについて0Hと1Hを切り換えて出力するよう動作する。なお、係数機11は、8分の1にするものとする。

【0022】以上の様に本実施の形態によれば、3倍速カメラ1出力のフィールドを外からの標準の同期信号におけるフィールドと反転させることで、実施の形態1に比べ、ローパスフィルター成分を少なくし、垂直方向の周波数特性を改善することができる。また、前述したように、図10に示す速度変換回路では、外部からの標準のテレビジョン同期信号に対して分割標準信号のフィールドが反転する。従って、同期合わせの為、3つの分割標準信号を1フィールド遅延させる為のフィールドメモリを外部に必要としていたが、本実施例によれば、3倍速カメラ1出力のフィールドが反転しているので、外部にフィールドメモリを必要とせず、同期合わせを行うことができる。

【0023】(実施の形態3)図3は、本発明の実施の形態3による高速度カメラシステムの構成を示すブロック図である。図3において、13は任意の係数 α 倍する係数器、14は任意の係数 β 倍する係数器、15は任意の係数 γ 倍する係数器である。図8は、標準の場合、実施の形態2の場合、及び、実施の形態3の場合の垂直方向の周波数特性を示す図である。図8(b)に示す様に、通常の周波数特性はCCDの2画素ミックス動作か

ら、その周波数特性は $1 + Z^{-1}$ で表される。また図8

(c) に示す様に、実施の形態2記載の方法による周波数特性は、各係数 $\alpha = \beta = \gamma = 1$ であるので、 $1 + 3Z^{-1} + 3Z^{-2} + Z^{-3}$ に示す特性となる。図8(d) は、 $\alpha = \gamma = 3$ 、 $\beta = 1$ の係数をかけ、垂直方向の周波数特性の劣化を改善したものである。この場合周波数特性は $1 + 7Z^{-1} + 7Z^{-2} + Z^{-3}$ で表される。そして、図8

(a) に各々の場合の周波数特性を示す。本実施の形態に示す様にフィルタ特性を適切に選択することで、実施の形態2に比較し大幅に垂直方向の周波数特性を改善することができる。

【0024】なお、以上の実施の形態において、 $M = 2$ または3の場合について述べたが、本発明は、これに限定されるものではなく、 M (任意の正の整数) に合わせて、遅延手段、選択回路を必要数備えればよい。

【0025】

【発明の効果】以上のように本発明は、速度変換回路の出力の M 個の分割標準信号を各々1水平走査時間遅延させる M 個の遅延手段と、 M 個の分割標準信号の内、標準のテレビジョン同期信号と奇数または偶数フィールドの区別において同一フィールドである複数の分割標準信号の各々に遅延手段への入力信号と遅延手段出力信号とを切り換えて出力する選択回路と、標準のテレビジョン同期信号と奇数または偶数フィールドの区別において異なるフィールドである複数の分割標準信号の各々に遅延手段への入力信号と遅延手段出力信号とを加算する第1の加算器と、複数の選択回路の選択信号を発生する選択信号発生回路と、複数の選択回路出力と複数の第1の加算器出力を加算する第2の加算器とを備えることで、動きの違和感が少ない、かつ S/N の良い標準走査速度映像信号を得ることができる。

【0026】更に、 M 倍速デジタルカメラ出力のフィールド状態を、外部からの標準のテレビジョン同期信号のフィールドと反転することで、第2の加算器出力である標準走査速度映像信号の垂直方向の周波数特性を改善し画質を向上することができる。また、第2の加算器入力前段の各々に任意の係数倍する係数器を設けることで、更に垂直方向の周波数特性を向上した標準速度映像信号を得ることができる。

* 【図面の簡単な説明】

【図1】本発明の実施の形態1による高速度カメラシステムの構成を示すブロック図

【図2】同実施の形態2による高速度カメラシステムの構成を示すブロック図

【図3】同実施の形態3による高速度カメラシステムの構成を示すブロック図

【図4】同実施の形態1による高速度カメラシステムの動作原理を示す図

10 【図5】同実施の形態2による高速度カメラシステムの動作を示すタイミング図

【図6】同高速度カメラシステムの動作原理を示す図

【図7】本発明の実施の形態2における M が偶数の時のライン加算の原理図

【図8】本発明の実施の形態3における垂直方向の周波数特性を示す特性図

【図9】従来の高速度カメラシステムの構成を示すブロック図

20 【図10】同高速度カメラシステムの速度変換回路の動作を示すタイミング図

【図11】同高速度カメラシステムにおける速度変換回路を示すブロック図

【符号の説明】

1 M 倍速デジタルテレビジョンカメラ

2 速度変換回路

3~5 分割標準信号

6 遅延手段

7 選択回路

8 第1の加算器

30 9 第2の加算器

10 選択信号発生回路

11 係数器

12 標準出力

13 任意の α 倍する係数器

14 任意の β 倍する係数器

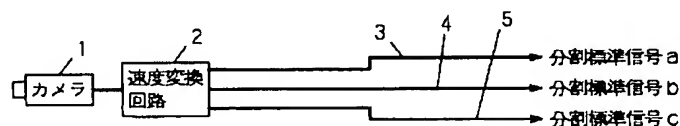
15 任意の γ 倍する係数器

16 M 倍速信号

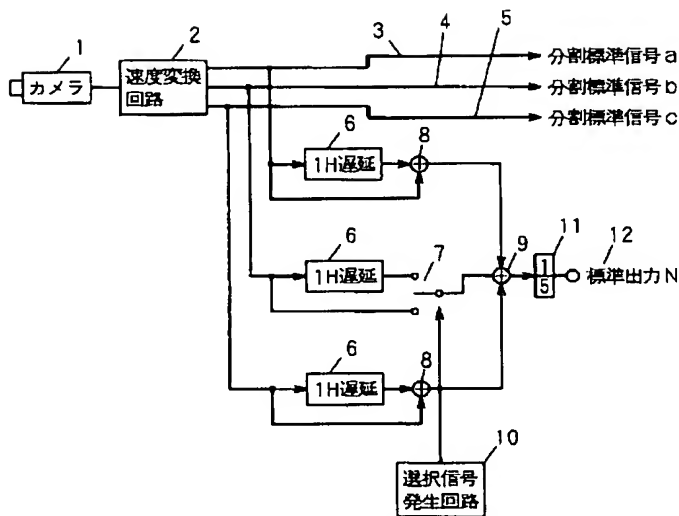
17 書き込み/読みだし制御回路

* 18 フィールドメモリ

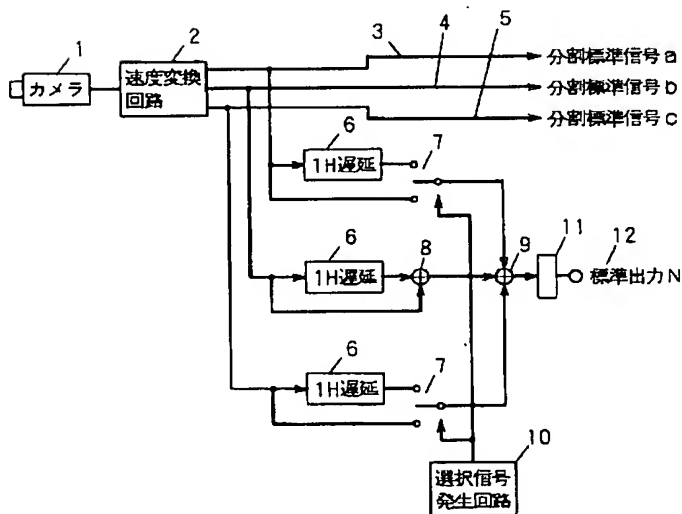
【図9】



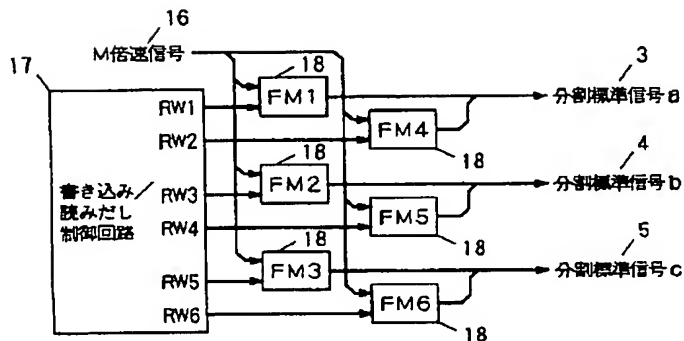
【図1】



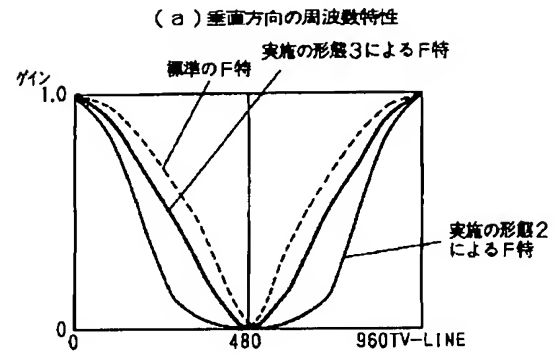
【図2】



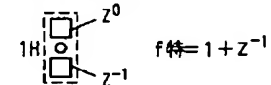
【図10】



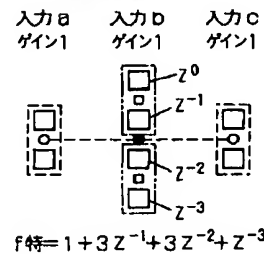
【図8】



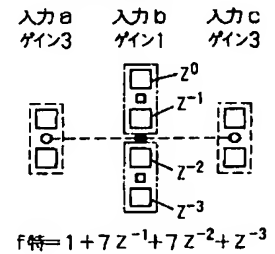
(b) 本来の垂直方向のf特



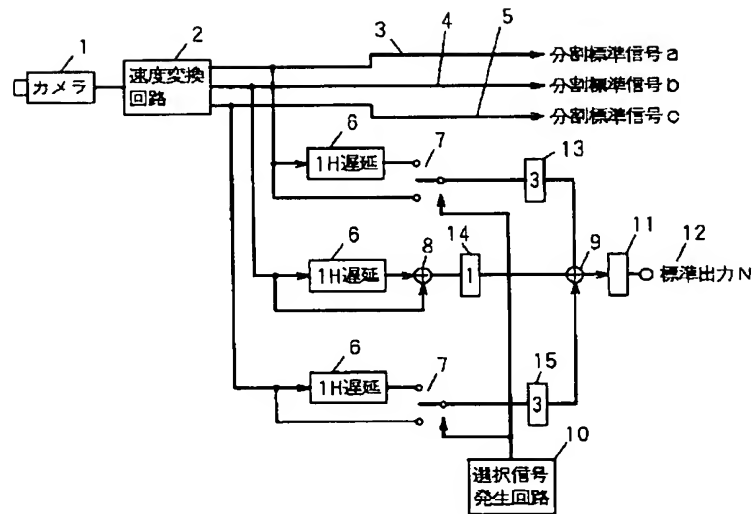
(c) 実施例2の垂直方向の周波数特性



(d) 実施例3の垂直方向の周波数特性



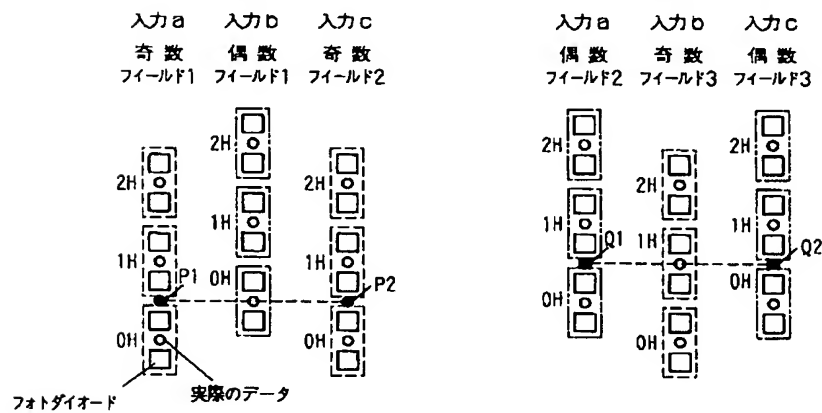
【図3】



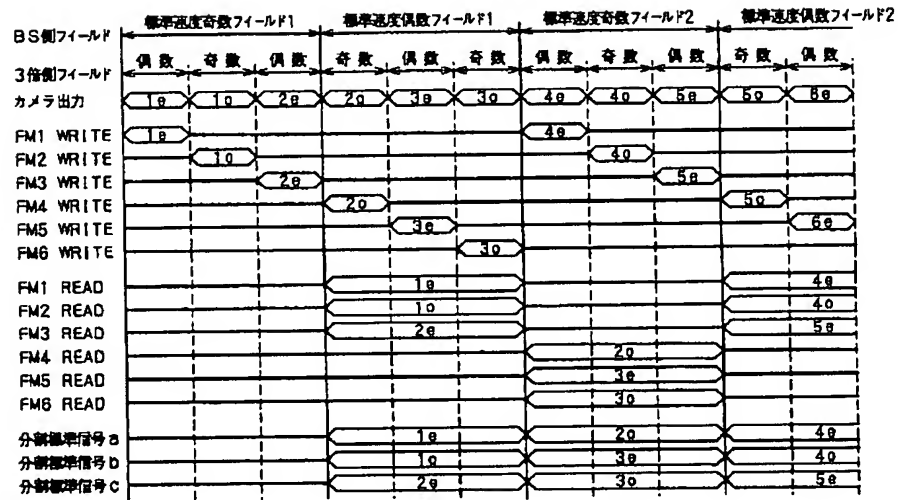
【図4】

(a) 標準偶数フィールド時

(b) 標準奇数フィールド時

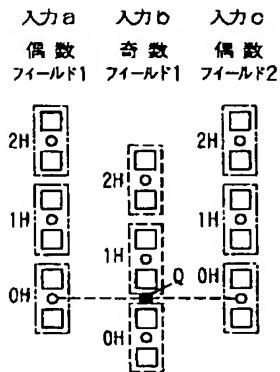


【図5】

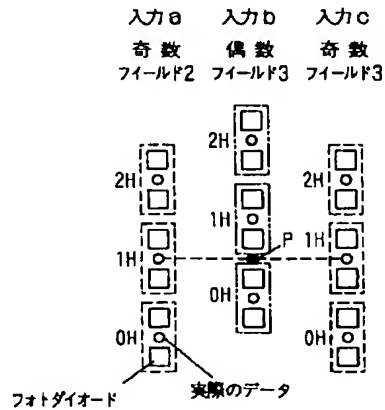


【図6】

(a) 標準偶数フィールド時

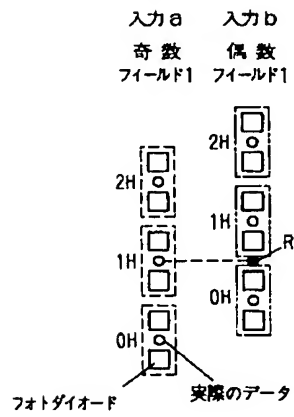


(b) 標準奇数フィールド時

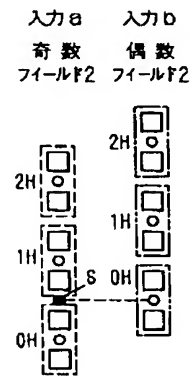


【図7】

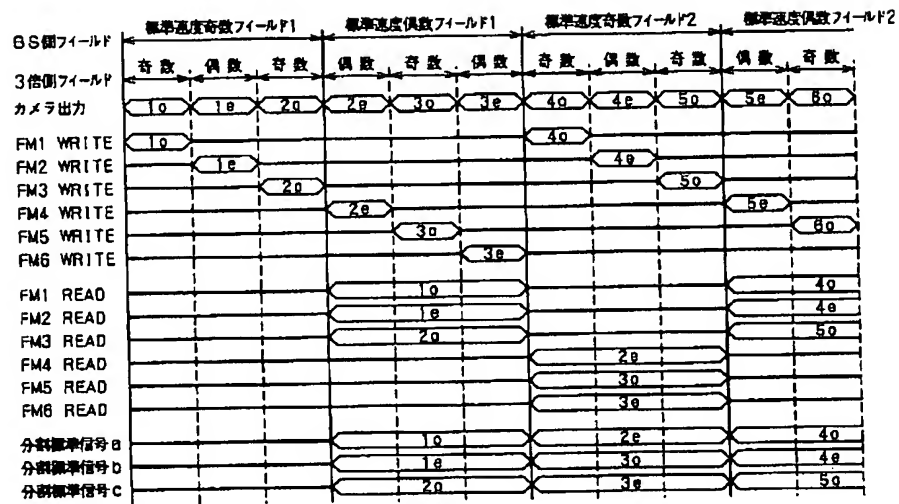
(a) 標準偶数フィールド時



(b) 標準奇数フィールド時



【図11】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-023318

(43)Date of publication of application : 23.01.1998

.....
(51)Int.Cl. H04N 5/232

.....
(21)Application number : 08-178903 (71)Applicant : MATSUSHITA ELECTRIC IND
CO LTD

(22)Date of filing : 09.07.1996 (72)Inventor : ONO HIROYUKI
ASADA RYOJI

.....
(54) HIGH SPEED CAMERA SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a high speed camera system for reducing a sense of incompatibility of movement, and for outputting a standard signal with a satisfactory S/N ratio.

SOLUTION: The output of an M-fold speed digital camera 1 which operates scanning at a scanning speed which is M times as fast as a standard is converted into M pieces of divided standard signals by a speed converting circuit 2, and outputted. A signal isolated in one horizontal period is added to a signal equivalent to a field different from a standard speed synchronizing signal among the M pieces of divided standard signals. Thus, field matching with the standard speed synchronizing signal can be operated, and then phase matching with a signal in the same field with the other standard speed synchronizing signal can be operated, and those signals can be added.

.....
LEGAL STATUS [Date of request for examination] 24.02.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3237527

[Date of registration] 05.10.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right] 05.10.2006

* NOTICES *

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The MX digital television camera which the genlock is carried out with the television synchronizing signal of the criterion from the outside, and scans on television M times (M is the positive integer of arbitration) the rate of standard, The speed-conversion circuit which the output signal of said MX digital television camera is divided for every field unit of one M times the scan speed of this, time amount expanding of each is carried out at a standard scan speed, and M division standard signals are synchronized, and is outputted, M delay means by which a criterion carries out 1 horizontal scan-time delay of said M division standard signals respectively, In distinction of the television synchronizing signal of said criterion, the odd number field, or the even number field, two or more division standard signals which are the same field among said M division standard signals The selection circuitry which switches and outputs the input signal to said delay means, and the output signal of said delay means separately, Two or more division standard signals which are the field which is different among said M division standard signals in distinction of the television

synchronizing signal of said criterion, the odd number field, or the even number field The 1st adder which adds the input signal to said delay means, and the output signal of said delay means separately, The high speed camera system equipped with the 2nd adder adding the selection-signal generating circuit which generates the selection signal to said two or more selection circuitries, and the output of two or more of said selection circuitries and the output of two or more of said 1st adders.

[Claim 2] The high speed camera system according to claim 1 characterized by reversing the condition of the odd number field of the output of a MX digital television camera, and the even number field to the field of the television synchronizing signal of the criterion from the outside.

[Claim 3] the output of two or more 1st adders, and the output of two or more selection circuitries -- the multiplier twice of each arbitration -- the high speed camera system according to claim 1 or 2 characterized by having the coefficient multiplier of M individual to carry out.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the high speed camera system for photoing the slow motion image in television broadcasting.

[0002]

[Description of the Prior Art] In using slow motion playback frequently by a sport

relay broadcast etc. in recent years, the smoothness of a motion of a playback image is required more and the high speed camera system use which can photo more motion information on a photographic subject is also increasing by being still more nearly high-speed than a standard television-scanning rate, and scanning.

[0003] the following -- the conventional high speed camera system ***** explanation -- it carries out. What was indicated by JP,5-54315,B as a conventional high speed camera system is known. Drawing 9 shows the block diagram of this conventional high speed camera system. For the digital television camera (following 3X camera) with which 1 scans by 3 times of a standard scan speed, and 2, as for the division standard output a and 4, in drawing 9 , a speed-conversion circuit and 3 are [the division standard output b and 5] the division standard output c. Drawing 10 shows the block diagram of the speed-conversion circuit 2. As for a 3X signal and 17, in drawing 10 , 16 is [writing / readout control circuit, and 18] field memories (FM1-FM16).

[0004] About the conventional high speed camera system constituted as mentioned above, the actuation is explained below.

[0005] Drawing 11 is the timing chart showing actuation of the speed-conversion

circuit of the conventional 3X camera system. First, genlock actuation is performed by the synchronizing signal of the standard speed from the outside, and the 3X camera 1 scans at a standard rate 3 times the rate of television scanning. Since the output signal of the 3X camera 1 is 3X of a criterion, as shown in drawing 11 , three signals, 3X odd number field 1 signal 1o, 3X even number field 1 signal 1e, and 3X odd number field 2 signal 2o, are continued and outputted to the 1st odd number field period of standard speed. 3X even number field 2 signal 2e, 3X odd number field 3 signal 3o, and 3X even number field 3 signal 3e are similarly outputted to the 1st even number field period of standard speed continuously. The output of the 3X camera 1 is inputted into the speed-conversion circuit 2, and time amount expanding of it is carried out at a standard speed signal at the same time it is divided into three signals. In order to trichotomize a 3X signal and to carry out time amount expanding at standard speed, six field memories 18 shown in drawing 10 are realizable by performing writing / readout control independently. it is shown in drawing 11 -- as -- standard speed odd number field 1 period -- 1o signal -- 2o signals are written for 1e signal in FM1 in 3X each to FM3 at FM2. Next, three field memories, FM1, FM2, and FM3, perform read-out actuation by standard speed at standard speed even

number field 1 period. Simultaneous in curve, 3o signals are written in FM5, and 3e signals are written for 2e signals in FM4 at FM6. Next, in standard speed odd number field 2 period, FM4, FM5, and FM6 perform readout actuation by standard speed. since the field memory of FM1, FM2, and FM3 has finished read-out of all data at this time -- new -- write-in actuation -- entering -- 4o signals -- 5o signals are written for 4e signals in FM1 by 3X to FM3 at FM2. By the above actuation, the division standard signal a shown in drawing 11 , the division standard signal b, and the division standard signal c are acquired as division and time amount expanding circuit 2 output.

[0006] Thus, the conventional high speed camera system is made as [deal with / a high-speed signal / as two or more standard speed signals]. It is slow motion output **** of 1/usual 3 by changing three division standard signal a-c into one signal by memory etc., after carrying out list direct to the order of the field at the time of photography in order to obtain a slow motion output. Furthermore, the signal which carried out list direct can be recorded on VTR etc., and the further slow motion signal can be acquired by performing slow motion playback of VTR.

[0007]

[Problem(s) to be Solved by the Invention] However, with the above-mentioned

conventional configuration, when three division standard signals are respectively seen by the monitor as a standard signal, in each signal, the field is discontinuous, and especially in an image with a motion, a motion becomes discontinuous and becomes unnatural. Furthermore, at the time of 3X photography, since the storage time of the charge of CCD dropped to 1/3, when three division signals were seen as a standard signal, S/N from the first had the trouble that it was bad compared with the time of standard speed photography.

[0008] This invention solves the above-mentioned conventional trouble, the sense of incongruity of a motion is reduced, and it aims at offering the high speed camera system which also outputs the good standard signal of S/N.

[0009]

[Means for Solving the Problem] In order to attain this purpose the high speed camera system of this invention In M delay means to which 1 horizontal-scanning time delay of the output of M pieces of a speed-conversion circuit is carried out respectively, the television synchronizing signal of the inside of the output of M pieces of a speed-conversion circuit, and a criterion, and distinction of the odd number field and the even number field The selection circuitry which switches and outputs the input signal and delay means output

signal to a delay means to each of two or more signals which are the same field, The 1st adder which adds the input signal and delay means output signal to a delay means to each of two or more signals which are the different field in distinction of the odd number field of a standard television synchronizing signal, and the even number field, By having the selection-signal generating circuit which generates the selection signal of two or more selection circuitries, and the 2nd adder adding two or more selection-circuitry outputs and two or more 1st adder outputs There is little sense of incongruity of a motion and it can acquire the standard signal which raised S/N from M field signals outputted within the same field period of standard speed.

[0010]

[Embodiment of the Invention] The MX digital television camera which the genlock of that of this invention is carried out by the television synchronizing signal of the criterion from the outside, and scans on television M times (M is the positive integer of arbitration) the rate of standard, The speed-conversion circuit which the output signal of a MX digital television camera is divided for every field unit of one M times the scan speed of this, time amount expanding of each is carried out at a standard scan speed, and M division standard signals are

synchronized, and is outputted, M delay means to which a criterion carries out 1 horizontal-scanning time delay of the M division standard signals respectively, In distinction of a standard television synchronizing signal, the odd number field, or the even number field, two or more division standard signals which are the same field among M division standard signals The selection circuitry which switches and outputs the input signal to a delay means, and the output signal of a delay means separately, Two or more division standard signals which are the field which is different among M division standard signals in distinction of a standard television synchronizing signal, the odd number field, or the even number field The 1st adder which adds the input signal to a delay means, and the output signal of a delay means separately, It has the 2nd adder adding the selection-signal generating circuit which generates the selection signal to two or more selection circuitries, and the output of two or more selection circuitries and the output of two or more 1st adders. By doubling and adding the field of the signal for M field outputted within standard 1 field period, there is little sense of incongruity of a motion and it acquires the good standard signal of S/N.

[0011] The gestalt of operation of this invention is explained using a drawing below.

(Gestalt 1 of operation) Drawing 1 is the block diagram showing the high speed camera structure of a system by the gestalt 1 of operation of this invention. The division standard signal (it considers as division standard signal a-c respectively) which the 3X camera was divided for 1, a speed-conversion circuit, and 3-5 were divided for 2 in drawing 1 , and time amount expanding was carried out at the standard scan speed, and was synchronized, and 6 are 1H delay means, and only 1 horizontal-scanning period in a standard scan speed delays an input signal. For the 1st adder and 9, as for a selection-signal generating circuit and 11, the 2nd adder and 10 are [7 / a selection circuitry and 8 / a coefficient multiplier and 12] standard output N.

[0012] Drawing 4 is a drawing in which the principle of operation based on the pixel configuration in the CCD part of the 3X camera 1 is shown. Input a, Input b, and Input c in drawing 4 correspond to the division standard signal a, the division standard signal b, and the division standard signal c respectively. First, drawing 4 (a) shows the case where the field in a standard scan speed is the even number field. In addition, since it is read once it is written in the speed-conversion circuit 2, the output signal of the 3X camera 1 is delayed by the 1 field of standard speed, and is outputted, so that it may understand also by

drawing 11 . Therefore, since the signal of the 3X camera 1 written in in the standard speed odd number field 1 is read in the standard speed even number field 1, in the 3X odd number field 1 and Input b, the 3X even number field 1 and Input c become [Input a] the 3X odd number field 2. Since Input a and Input c were both the odd number fields and the field of a standard scan speed was not suited, when it added as it is, INTARESU relation collapses and an image came to have shifted perpendicularly. About Input b, since it is the even number field, it is satisfactory. Therefore, about Input a and Input c, two signals which separated during the 1 horizontal scanning are added, and after making it the signal which suits the location of the even number field spatially, it adds with Input b.

[0013] In drawing 4 , when the signal which 0H show is made into the present input signal, the signal with which the signal in front of 1 level period and 2H show the signal which 1H show is a signal in front of 2 level period. Moreover, notation O shows the location of the actual signal according the location of a photodiode to notation ** and a photodiode mix among drawing 4 . If the phase relation of INTARESU is taken into consideration as shown in drawing 4 (a), the signal which carried out Input a (0H+1H) will turn into a signal of the even number field phase shown all over [P1] drawing. The signal made the same

also about Input c (0H+1H) turns into a signal of the even number field phase shown in P2. P1 and P2 signal is equivalent to 0H signal of Input b. Therefore, even if it adds 0H signal of Input b, P1 signal, and P2 signal, a gap of a vertical image does not take place. After adding three signals, in order to double gain, the standard scan speed signal (standard output N) adding the signal for the 3 field is acquired because it takes $1/5$ with a coefficient multiplier 11.

[0014] Drawing 4 (b) is the case of the odd number field of a standard scan speed similarly. Input b is the odd number field to Input a and Input c being the even number fields. The signal which carried out Input a (0H+1H) turns into a signal of the odd number field phase shown all over [Q1] drawing, and the signal which carried out Input c (0H+1H) turns into an odd number field signal shown all over [Q2] drawing, and is equivalent to 1H signal of Input b. Therefore, even if it adds Q1 signal, 1H signal of Input b, and Q2 signal, a gap of a vertical image does not take place.

[0015] Thus, since the field of the signal inputted into Input a, Input b, and input c of each is reversed in the odd number field and the even number field of a standard scan speed when the number of M is odd in M double-speed scan, in order to perform addition processing correctly, it is necessary to switch the

output of the selection circuitry 7 inputted into the 2nd adder 9 like 1H in the even number field in 0H and the odd number field. The selection-signal generating circuit 10 is a control circuit which bears this change actuation, is the field unit of standard speed and switches the output of a selection circuitry 7. Thus, by adding three 3X field signals according to the field in a standard scan speed, compared with the former, S/N is good and the standard speed signal which does not have sense of incongruity in a motion is acquired.

[0016] In addition, drawing 7 from which the case of even times ($M = \text{even number}$) of a criterion is also the same view, and the scan speed of a high speed camera acquires a standard scan signal is a drawing in which the principle of operation at the time of $M = 2$ (even number) is shown. Drawing 7 (a) shows the addition processing at the time of the even number field in a standard scan speed. Since Input a is an odd number field signal, it adds as it is, but since Input b is an even number field signal, a perpendicular gap of an image does not take place by adding in quest of the odd number field data shown all over [R] drawing by (0H+1H). It is the same also at the time of the odd number field shown in drawing 7 (b).

[0017] As mentioned above, according to the gestalt of this operation, by

doubling the field and adding M divided division standard signals, the unnaturalness of an animation part can be canceled and a standard scan speed video signal with little S/N degradation can be acquired.

[0018] (Gestalt 2 of operation) Drawing 2 is the block diagram showing the high speed camera structure of a system by the gestalt 2 of operation of this invention.

In drawing 2 , the configuration in connection with data processing which acquires a standard scan speed signal from a division standard signal is different from the gestalt 1 of operation.

[0019] Drawing 5 is a timing chart showing actuation of the high speed camera system in the gestalt of this operation. The actuation is explained below.

[0020] It is necessary to perform the operation $(0H+1H)$ about two of three division standard signals for acquiring a standard signal in the case of the gestalt 1 of operation. This operation is equal to having covered the low pass filter perpendicularly, and vertical frequency characteristics worsen. In order to improve this, the field of three division standard signals can be doubled only by performing the operation $(0H+1H)$ only to one of three division standard signals by reversing the field of the output signal of the 3X camera 1.

[0021] As shown in drawing 5 , three division standard signal outputs of the

speed-conversion circuit 2 are set to 3X even number field 1e, 3X odd number field 1o, and 3X even number field 2e in the standard speed even number field by beginning the camera output outputted in the standard speed odd number field from the even number field. Actuation of the Rhine adder circuit at this time is shown in drawing 6 (a). Since Input a and Input c are even number field signals, it is not necessary to process at all. Since it is an odd number field signal about Input b, the even number field signal Q is searched for by the operation $(0H+1H)$, and it adds to 0H signal of Input a and Input c. Similarly, about the standard odd fields, as shown in drawing 6 (b), Input b is carried out $(0H+1H)$, the odd number field signal P is searched for, and it adds with 1H signal of Input a and Input c. In this case, the selection-signal generating circuit 10 operates so that 0H and 1H may be switched and outputted about Input a and Input c. In addition, the multiplier machine 11 shall be set to $1/8$.

[0022] As mentioned above, according to the gestalt of this operation, compared with the gestalt 1 of operation, a low pass filter component can be lessened and vertical frequency characteristics can be improved by reversing the field of 3X camera 1 output with the field in the synchronizing signal of the criterion from the outside. Moreover, as mentioned above, the field of a division standard signal is

reversed to the television synchronizing signal of the criterion from the outside in the speed-conversion circuit shown in drawing 10 . Therefore, according to this example, although the field memory for delaying the 1 field of three division standard signals was needed outside for synchronous doubling, since the field of 3X camera 1 output is reversed, synchronous doubling can be performed, without needing a field memory outside.

[0023] (Gestalt 3 of operation) Drawing 3 is the block diagram showing the high speed camera structure of a system by the gestalt 3 of operation of this invention. drawing 3 -- setting -- 13 -- the multiplier alpha twice of arbitration -- the coefficient multiplier to carry out and 14 -- the multiplier beta twice of arbitration -- the coefficient multiplier to carry out and 15 are coefficient multipliers which arbitration multiplier gamma doubles. In the case of a criterion, drawing 8 is drawing showing the frequency characteristics of the perpendicular direction the case of the gestalt 2 of operation, and in the case of the gestalt 3 of operation. As shown in drawing 8 (b), the frequency characteristics are expressed with $1+Z^{-1}$ for the usual frequency characteristics from 2-pixel mix actuation of CCD. moreover, frequency characteristics according to the approach of gestalt 2 publication operation as shown in drawing 8 (c) -- each -- since it is multiplier

$\alpha=\beta=\gamma=1$ -- $1+3Z^{-1}+3$ -- it becomes the property shown in $Z^{-2}+Z^{-3}$.

Drawing 8 (d) applies the multiplier of $\alpha=\gamma=3$ and $\beta=1$, and improves degradation of vertical frequency characteristics. In this case, frequency characteristics are expressed with $1+7Z^{-1}+7Z^{-2}+Z^{-3}$. And the frequency characteristics in each case are shown in drawing 8 (a). By choosing a filter shape appropriately, as shown in the gestalt of this operation, vertical frequency characteristics are sharply improvable as compared with the gestalt 2 of operation.

[0024] in addition, the gestalt of the above operation -- setting -- $M=$ -- although the case of 2 or 3 was described, this invention is not limited to this and its required-number preparation **** is good in a delay means and a selection circuitry according to M (positive integer of arbitration).

[0025]

[Effect of the Invention] M delay means to which this invention carries out 1 horizontal-scanning time delay of the M division standard signals of the output of a speed-conversion circuit respectively as mentioned above, The selection circuitry which switches and outputs the input signal and delay means output signal to a delay means to each of two or more division standard signals which

are the same field among M division standard signals in distinction of a standard television synchronizing signal, odd number, or the even number field, The 1st adder which adds the input signal and delay means output signal to a delay means to each of two or more division standard signals which are the different field in distinction of a standard television synchronizing signal, odd number, or the even number field, The sense of incongruity of a motion can acquire the good standard scan speed video signal of S/N few by having the selection-signal generating circuit which generates the selection signal of two or more selection circuitries, and the 2nd adder adding two or more selection-circuitry outputs and two or more 1st adder outputs.

[0026] Furthermore, by reversing the field condition of a MX digital camera output with the field of the television synchronizing signal of the criterion from the outside, the frequency characteristics of the perpendicular direction of the standard scan speed video signal which is the 2nd adder output can be improved, and image quality can be improved. moreover, each of the 2nd adder input preceding paragraph -- the multiplier twice of arbitration -- the standard speed video signal which improved vertical frequency characteristics further can be acquired by forming the coefficient multiplier to carry out.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] The block diagram showing the high speed camera structure of a system by the gestalt 1 of operation of this invention

[Drawing 2] The block diagram showing the high speed camera structure of a system by the gestalt 2 of this operation

[Drawing 3] The block diagram showing the high speed camera structure of a system by the gestalt 3 of this operation

[Drawing 4] Drawing showing the principle of operation of the high speed camera system by the gestalt 1 of this operation

[Drawing 5] The timing chart showing actuation of the high speed camera system by the gestalt 2 of this operation

[Drawing 6] Drawing showing the principle of operation of this high speed camera system

[Drawing 7] The principle Fig. of the Rhine addition in case the number of M in the gestalt 2 of operation of this invention is even

[Drawing 8] The property Fig. showing the frequency characteristics of the perpendicular direction in the gestalt 3 of operation of this invention

[Drawing 9] The block diagram showing the conventional high speed camera structure of a system

[Drawing 10] The timing chart showing actuation of the speed-conversion circuit of this high speed camera system

[Drawing 11] The block diagram showing the speed-conversion circuit in this high speed camera system

[Description of Notations]

1 MX DEJITA Television Camera

2 Speed-Conversion Circuit

3-5 Division standard signal

6 Delay Means

7 Selection Circuitry

8 1st Adder

9 2nd Adder

10 Selection-Signal Generating Circuit

11 Coefficient Multiplier

12 Standard Output

13 Alpha Twice of Arbitration -- Coefficient Multiplier to Carry Out

14 Beta Twice of Arbitration -- Coefficient Multiplier to Carry Out

15 Coefficient Multiplier Which Arbitration Gamma Doubles

16 MX Signal

17 Writing / Readout Control Circuit

18 Field Memory